

УДК

АНАЛИЗ МЕТОДИКИ УМЕНЬШЕНИЯ УТЕЧКИ В 7Т И 8Т ЯЧЕЙКАХ SRAM НА ОСНОВЕ ТРАНЗИСТОРОВ FINFET*

КУШВАХ Р. С., АКЕШЕ Ш.

ITM Университет,
Индия, Гвалиор

Аннотация. Предложены семитранзисторные (7Т) и восьмитранзисторные (8Т) ячейки SRAM (статическое ОЗУ) на основе транзисторов FinFET (полевые транзисторы с плавником). Транзисторы FinFET способны обеспечить лучшую производительность за счет компромисса по мощности. Разработчики могут выбрать или режим работы транзистора с повышенной производительностью при приблизительно такой же потребляемой мощности, как у планарных устройств на КМОП-структурах, или режим работы, при котором будет получена приблизительно такая же производительность, но при меньшей потребляемой мощности. Цель данной работы состоит в уменьшении тока утечки и просачивающейся мощности ячеек SRAM на основе транзисторов FinFET, использующих технологии схем с саморегулируемым уровнем напряжения (SVL) и созданных по 45-нм технологии. Схема SVL позволяет подавать питание с максимальным уровнем напряжения постоянного тока, прикладываемого к активной нагрузке, или позволяет понизить подаваемое напряжение постоянного тока на нагрузку в режиме хранения. Схема SVL может уменьшить просачивающуюся мощность в режиме хранения для ячейки SRAM с минимальными проблемами в отношении площади кристалла и быстродействия. Большие токи утечки в субмикронных режимах являются основными факторами, определяющими суммарную мощность рассеяния КМОП-схем с объемным каналом, поскольку снижается пороговое напряжение V_{th} , сокращаются длина канала L и толщина оксидного слоя затвора t_{ox} . Ток утечки в ячейке SRAM возрастает в связи с уменьшением длины канала МОП-транзистора. Для уменьшения этого тока используются два метода: первый метод предполагает уменьшение напряжения питания, другой использует увеличение нулевого потенциала. Предлагаемые 7Т и 8Т ячейки SRAM на основе транзисторов FinFET спроектированы с помощью программы Cadence Virtuoso Tool, а результаты моделирования получены с помощью моделирующей системы Cadence SPECTRE для технологии 45 нм

Ключевые слова: полевой транзистор с плавником; FinFET; ток утечки; просачивающаяся мощность; статическое оперативное запоминающее устройство; ОЗУ; SRAM; саморегулируемый уровень напряжения; SVL; верхний SVL; нижний SVL

1. ВСТУПЛЕНИЕ

Комплементарная технология металл-оксид-полупроводник (КМОП-технология) сталкивается со значительными трудностями при длине канала менее 65 нм, включая ток утечки

затвора с прямым туннелированием, подпороговый (sub threshold) ток утечки и ток утечки, связанный с понижением стока, вызванного затвором GIDL (Gate Induced Drain Lowering), тогда как транзисторы FinFET позволяют пре-

* Эта работа выполнена при поддержке Университета ITM (Гвалиор) совместно с Cadence System Design (Бангалор).